



RENCANA PEMBELAJARAN SEMESTER (RPS)
PROGRAM STUDI S1 TEKNIK ELEKTRO
FAKULTAS TEKNIK
UNIVERSITAS SEBELAS MARET

Identitas Mata Kuliah		Identitas dan Validasi		Nama	Tanda Tangan
Kode Mata Kuliah	: EE0207-19	Dosen Pengembang RPS	:	Dr.Eng. Ir. Faisal Rahutomo S.T.,M.Kom.	
Nama Mata Kuliah	: TEKNIK DIGITAL				
Jenis Mata Kuliah (Wajib/pilihan)	: Wajib	Koord. Kelompok Mata Kuliah	:	Dr.Eng. Ir. Faisal Rahutomo S.T.,M.Kom.	
Semester	: 2	Kepala Program Studi	:	FERI ADRIYANTO, S.Pd., M.Si., Ph.D.	
Bobot Mata Kuliah (SKS)	: 2				
a. Bobot tatap muka	: 2				
b. Bobot Praktikum	: 0				
c. Bobot praktek lapangan	: 0				
d. Bobot simulasi	: 0				
Mata Kuliah Prasyarat	: EE0103-19 - MATEMATIKA DISKRET DAN LOGIKA				

Tanggal Dibuat	:	2023-02-09	Perbaikan Ke-	:		Tanggal Edit :	2023-02-09
Capaian Pembelajaran Lulusan (CPL) / Learning Outcome (LO) yang dibebankan pada Mata Kuliah							
Kode CPL/LO		Unsur CPL/LO					
1	:	CPL1 - Mampu menerapkan pengetahuan matematika, ilmu pengetahuan alam dan/atau material, teknologi informasi dan keteknikan untuk mendapatkan pemahaman menyeluruh tentang prinsip-prinsip teknik elektro. (Menguasai ilmu teknik).					
2	:	CPL2 - mendesain komponen, system dan/atau proses untuk memenuhi kebutuhan yang diharapkan didalam batasan-batasan realistis dalam bidang teknik Elektro. (Mendesain)					
Capaian Pembelajaran Mata Kuliah (CPMK)	:	1 Mahasiswa mampu menjelaskan prinsip gerbang logika 2 Mahasiswa mampu menerapkan rangkaian kombinasional 3 Mahasiswa mampu menjelaskan prinsip flipflop,register, counter 4 Mahasiswa mampu menerapkan rangkaian sekuensial					
Bahan kajian (Subject Matters)	:	. Sistem bilangan, logika, aljabar boolean, rangkaian kombinasi dan sekuensial, register dan counter					
Deskripsi Mata Kuliah	:	Pengenalan Sistem bilangan (biner dan hexadesimal, aritmatika bilangan, konversi bilangan), Gerbang nalar dasar (karakteristik 6 gerbang), Aljabar Boolean (ekspresi nalar dan penyederhanaan), Optimasi/Minimasi dalam Gate-level, Combinatorial Logic Circuit (adder, decoder, encoder, multiplexer), Sequential Circuit (latch, flip-flop), Register dan Counter.					

Basis Penilaian	:	a. Aktvitas Partisipatif (<i>Case Method</i>) = 30%
	:	b. Hasil Proyek (<i>Team Based Project</i>) = 30%
	:	c. Tugas = 0%
	:	d. Quis = 0%
	:	e. UTS = 20%
	:	f. UAS = 20%
Daftar Referensi	:	1. M. Morris R. Mano - Michael D, Digital Design: With an Introduction to the Verilog HDL, Ciletti,, 2012
	:	2. Gregory L Moss,Ronald J Tocci, Digital Systems, Global Edition, -, 2017

Tahap	Kemampuan akhir/ Sub-CPMK (kode CPL)	Materi Pokok	Referensi (kode dan halaman)	Metode Pembelajaran		Waktu	Pengalaman Belajar	Penilaian			
				Luring	Daring			Basis penilaian	Teknik penilaian	Indikator, kriteria, (tingkat taksonomi)	Bobot penilaian
1	2	3	4	5	6	7	8	9	10	11	12

1-4	Mahasiswa mampu menjelaskan prinsip gerbang logika	- Konsep dasar sistem bilangan - Gerbang nalar Dasar dan universal - Gerbang Logika Dasar - Rangkaian Logika dan aljabar boole	Digital Design: With an Introduction to the Verilog HDL	Pembelajaran Kooperatif	Pembelajaran Kooperatif	4*100 Menit	- Mengkaji konsep dasar sistem bilangan - Mengkaji konsep gerbang nalar - Mengkaji konsep Logika dan Aljabar Boole - Mengkaji konsep Logika dan Aljabar Boole	Tugas	Tes Tertulis	Mahasiswa mampu menerapkan pengetahuan matematika, ilmu pengetahuan alam dan/atau material, teknologi informasi dan keteknikan untuk mendapatkan pemahaman menyeluruh tentang prinsip-prinsip keteknikan	5%
-----	--	--	---	-------------------------	-------------------------	-------------	---	-------	--------------	--	----

5-6	Mahasiswa mampu menerapkan rangkaian kombinasional	- Konsep rangkaian Logika kombinasi - Minimasi rangkaian kombinasi, rangkaian enable dan inhibit	Digital Design: With an Introduction to the Verilog HDL, Digital Systems, Global Edition	Pembelajaran Kooperatif	Pembelajaran Kooperatif	2*100 Menit	Mengkaji dan merancang rangkaian logika kombinasi	Tugas	Tes Tertulis	Mahasiswa mampu menerapkan pengetahuan matematika, ilmu pengetahuan alam dan/atau material, teknologi informasi dan keteknikan untuk mendapatkan pemahaman menyeluruh tentang prinsip-prinsip keteknikan	5%
-----	--	--	--	-------------------------	-------------------------	-------------	---	-------	--------------	--	----

7	. Mahasiswa mampu menerapkan rangkaian kombinasional	Review dan Latihan Pra-UTS	Digital Design: With an Introduction to the Verilog HDL, Digital Systems, Global Edition		Pembelajaran Kooperatif	1*100 Menit	Mengkaji dan merancang rangkaian logika kombinasi	Quis	Tes Tertulis	Mahasiswa mampu menerapkan pengetahuan matematika, ilmu pengetahuan alam dan/atau material, teknologi informasi dan keteknikan untuk mendapatkan pemahaman menyeluruh tentang prinsip-prinsip keteknikan./ CPL01	5%
---	--	----------------------------	--	--	-------------------------	-------------	---	------	--------------	--	----

8	Mahasiswa mampu memecahkan persoalan-persoalan pada ilmu digital	Ujian Tengah Semester (UTS)	Digital Design: With an Introduction to the Verilog HDL, Digital Systems, Global Edition		Pembelajaran Lain	1*100 Menit	mahasiswa menemukan solusi dari persoalan yang diberikan	UTS	Tes Tertulis	Mahasiswa mampu menerapkan pengetahuan matematika, ilmu pengetahuan alam dan/atau material, teknologi informasi dan keteknikan untuk mendapatkan pemahaman menyeluruh tentang prinsip-prinsip keteknikan.	35%
9-10	Mahasiswa mampu menerapkan rangkaian kombinasional	Combinatorial Logic Circuit – komparator, Adder, multiplexer Combinatorial Logic Circuit – Demultiplexer, Encoder dan Decoder	Digital Design: With an Introduction to the Verilog HDL, Digital Systems, Global Edition		Pembelajaran Kooperatif	2*100 Menit	Mengkaji dan merancang rangkaian logika kombinasi menggunakan komparator/adder/(multi/demulti)plexer/encoder/decoder	Tugas	Tes Tertulis	Kemampuan menerapkan pengetahuan matematika, ilmu pengetahuan alam dan/atau material, teknologi informasi dan keteknikan untuk mendapatkan pemahaman menyeluruh tentang prinsip-prinsip keteknikan.	2%

11-12	Mahasiswa mampu menerapkan rangkaian sekuensial	Sequential Circuit - latch Sequential Circuit - Flip-flop	Digital Design: With an Introduction to the Verilog HDL, Digital Systems, Global Edition		Pembelajaran Kooperatif	2*100 Menit	Mengkaji dan merancang rangkaian logika sekuensial	Tugas	Tes Tertulis	Kemampuan menerapkan pengetahuan matematika, ilmu pengetahuan alam dan/atau material, teknologi informasi dan keteknikan untuk mendapatkan pemahaman menyeluruh tentang prinsip-prinsip keteknikan. /CPL01	3%
-------	---	--	--	--	-------------------------	-------------	--	-------	--------------	--	----

13-14	Mahasiswa mampu menjelaskan prinsip register dan counter	Pencacah Register	Digital Design: With an Introduction to the Verilog HDL, Digital Systems, Global Edition	Pembelajaran Lain	Pembelajaran Kooperatif	2*100 Menit	Mengkaji konsep rangkaian pencacah dan register	Tugas	Tes Tertulis	Kemampuan menerapkan pengetahuan matematika, ilmu pengetahuan alam dan/atau material, teknologi informasi dan keteknikan untuk mendapatkan pemahaman menyeluruh tentang prinsip-prinsip keteknikan. /CPL01	2%
15	Mahasiswa mampu menyelesaikan persoalan bidang teknik digital	Review dan Latihan Pra-UAS	Digital Design: With an Introduction to the Verilog HDL, Digital Systems, Global Edition		Studi Kasus	1*100 Menit	mahasiswa mampu mengkaji dan menyelesaikan persoalan bidang ilmu digital	Quis	Tes Lisan	Mampu mendesain komponen, system dan/atau proses untuk memenuhi kebutuhan yang diharapkan didalam batasan-batasan realistis dalam bidang teknik Elektro./CPL02	8%

16	Mahasiswa mampu memecahkan persoalan-persoalan pada ilmu teknik digital	Ujian Akhir Semester (UAS)	Digital Design: With an Introduction to the Verilog HDL, Digital Systems, Global Edition		Pembelajaran Lain	1*100 Menit	mahasiswa menemukan solusi dari persoalan-persoalan pada bidang teknik digital	UAS	Tes Lisan	Mampu mendesain komponen, system dan/atau proses untuk memenuhi kebutuhan yang diharapkan didalam batasan-batasan realistis dalam bidang teknik Elektro./CPL02	35%
----	---	----------------------------	--	--	-------------------	-------------	--	-----	-----------	--	-----